

Etude et conception d'un gate driver à équilibrage actif des courants : Application aux chaînes de traction électriques à MOSFETs SiC à fortes contraintes thermiques.

1. PRE REQUIS

Le candidat devra posséder une expertise dans les domaines ci-dessous :

- Electronique analogique
- Electronique numérique
- Electronique de puissance
- Conception de cartes électroniques

2. OBJECTIFS ET CONTEXTE TECHNICO-ECONOMIQUE

Dans les années 1990, l'arrivée de composants de puissance à base de silicium (MOSFET, IGBT) a permis le développement de convertisseurs d'énergie électrique à forte densité de puissance. De nos jours, la mise en œuvre de composants à base de matériaux dits « grand gap » tels que le carbure de silicium (SiC) fait l'objet de nombreux travaux de recherche. Ces nouveaux matériaux autorisent le fonctionnement des convertisseurs à de plus hautes températures et à des tensions plus élevées permettant un nouvel accroissement de la densité de puissance. Ces composants sont désormais disponibles tant dans des boîtiers dédiés aux systèmes sur PCB que sous la forme de modules pour des convertisseurs de fortes puissances.

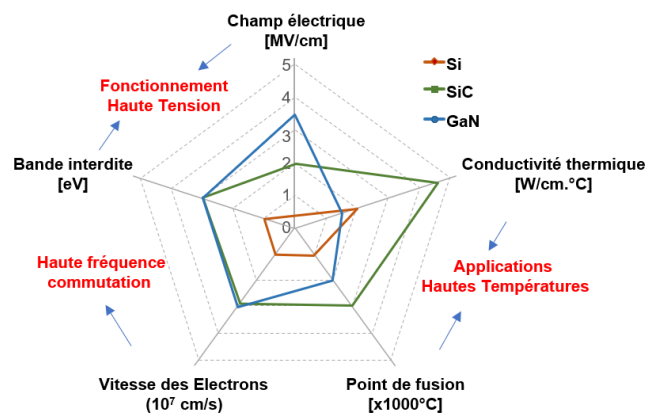


Figure 1 – Comparaison des technologies Si, SiC et GaN

L'utilisation optimale et sécurisée de ces composants passe par le développement d'un étage de commande rapprochée (nommé Gate Driver) adapté et prenant en compte la spécificité de la technologie SiC dans un contexte de parallélisation massive des composants de puissance.

Ce projet de recherche s'inscrit dans le cadre d'une collaboration entre l'IETR et la société VALEO. L'objectif est l'amélioration du pilotage des modules des onduleurs de puissances supérieures à 100 kW intégrés dans les véhicules électriques.

Les enjeux et les ambitions précisés ci-dessus indiquent que des innovations technologiques doivent être apportées aux futurs convertisseurs équipant les véhicules électriques, en particulier en ce qui concerne les camions à propulsion électrique.

3. DEROULEMENT DE LA THESE

Après une étude bibliographique portant sur les composants grand-gap et leur solution de commande rapprochée, le doctorant s'intéressera à l'étude et la conception d'un gate driver pour les applications de traction électrique forte puissance. Ce travail se déroulera dans le cadre d'un partenariat avec le groupe VALEO. Nous nous intéresserons tout particulièrement aux 2 grands axes qui sont le monitoring en température de puces ainsi que la problématique de leur parallélisation avec pour objectif l'amélioration de la fiabilité des convertisseurs statiques de puissance. Après des études théoriques, ces travaux devront aboutir à la conception et la réalisation d'un prototype qui sera testé dans des conditions normales de fonctionnement. Sa robustesse et sa fiabilité seront vérifiées avec des essais complémentaires (forts dV/dt , essais en température ...). Des fonctions de protection contre les courts-circuits et les températures excessives seront proposées tout en gardant comme objectif la mise en sécurité du matériel et des personnes.

En s'appuyant sur les travaux déjà menés au sein de l'IETR qui ont permis la mise en œuvre de solutions pour le monitoring (mesure de tension v_{DS} , fuite de grille) et l'utilisation de composants FPGA pour les systèmes de communication, le doctorant s'intéressera dans cette première partie de la thèse à la problématique de l'estimation de la température de jonction du semi-conducteur. En effet, la connaissance de cette grandeur permet à la fois d'assurer un design optimal du convertisseur mais également une maîtrise des conditions de fonctionnement et de vieillissement de la cellule de commutation. La mesure directe de la température de jonction n'étant pas possible, il existe des solutions d'estimation de celle-ci en exploitant des paramètres thermosensibles du semi-conducteur. Des solutions innovantes devront être développées et intégrées aux gate drivers en adéquation avec les contraintes des nouveaux composants grand gap SiC

L'accroissement de la densité de puissance des convertisseurs statiques passe par l'exploitation des nouveaux composants grand gap et leur parallélisation. Les temps de commutations de ces derniers rendent complexe l'équilibrage des courants commutés. La connaissance précise de la température de jonction pourra également être utile pour la maîtrise de la parallélisation massive des semi-conducteurs qui fera l'objet de la suite des travaux. En effet, la variabilité de certains paramètres des composants, des drivers et des mailles de commutation rend peu optimale la mise en parallèle des semi-conducteurs. On constate bien souvent, que la solution mise en œuvre consiste à dimensionner les cellules de commutations avec un derating en courant important. Pour réduire ce dernier, nous proposons à travers ces travaux d'étudier des méthodes actives d'équilibrage qui seront confiées au gate driver.

Les différentes études mèneront à la conception d'un gate driver intégrant l'ensemble des solutions théoriques proposées. Un banc de test représentatif sera développé durant ces travaux thèses.

4. EQUIPE D'ENCADREMENT

Directeur de thèse : Nicolas Ginot (40%)

Co-directeur : Christophe Batard (30%)

Encadrante : Anne-Sophie Descamps (30%)

5. LABORATOIRE D'ACCUEIL

IETR (Institut d'Electronique et des Technologies du numéRique)

UMR CNRS 6164

Equipe ASIC (Architecture, Systems, Infrastructure and electroniCs)

Polytech'Nantes Site de la Chantrerie, NANTES